

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-254994

(43) 公開日 平成4年(1992)9月10日

(51) Int.Cl.<sup>5</sup>  
G11C 16/06

識別記号 庁内整理番号

F I

技術表示箇所

9191-5L

G11C 17/00

309 A

審査請求 未請求 請求項の数2(全7頁)

(21) 出願番号 特願平3-15498

(22) 出願日 平成3年(1991)2月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 伊藤 寧夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72) 発明者 岩田 佳久

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74) 代理人 弁理士 鈴江 武彦

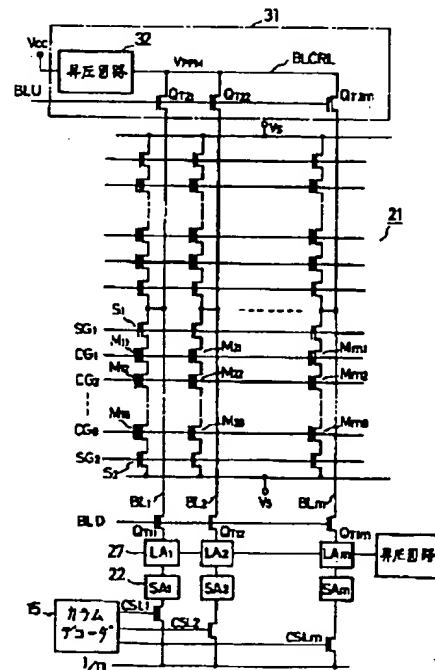
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 高速のデータ書き込みを可能としたNANDセル型EEPROMを提供することを目的とする。

【構成】 データ書き込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段31を備え、予備充電されたビット線を書込むべきデータに応じて選択的に放電することにより、データ書き込みの高速化を図った。



FH 008435

## 【特許請求の範囲】

【請求項1】半導体基板上に電荷蓄積層と制御ゲートが積層された電氣的書き換え可能なメモリセルが複数個直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルアレイのワード線を選択する行選択手段と、前記メモリセルアレイのビット線を選択する列選択手段と、前記メモリセルアレイのビット線が第1のトランスファゲートを介して接続されてデータ書き込み時にデータに応じて選択的にビット線を放電する機能を持つデータラッチ手段と、前記メモリセルアレイのビット線が第2のトランスファゲートを介して接続されてデータ書き込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項2】前記ビット線充電手段は、前記メモリセルアレイへのデータ書き込み開始前のデータ・ロード中にビット線を中間電位に充電するものであることを特徴とする請求項1記載の不揮発性半導体記憶装置。

## 【発明の詳細な説明】 【発明の目的】

【0001】

【産業上の利用分野】本発明は、電荷蓄積層と制御ゲートを有する電氣的書き換え可能なメモリセルを用いた不揮発性半導体記憶装置（EEPROM）に係り、特にNANDセル構成のメモリセルアレイを有するEEPROMに関する。

【0002】

【従来の技術】EEPROMの中で高集積化可能なものとして、メモリセルを複数個直列接続したNANDセル型のEEPROMが知られている。一つのメモリセルは半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数のメモリセルが隣接するもの同士でそのソース、ドレインを共用する形で直列接続されてNANDセルを構成する。NANDセルの一端側ドレインは選択ゲートを介してビット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。このようなメモリセルが複数個マトリクス配列されてEEPROMが構成される。メモリセルの制御ゲートは行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は次の通りである。データ書き込みは、ビット線から遠い方のメモリセルから順に行う。nチャンネルの場合を説明すると、選択されたメモリセルの制御ゲートには昇圧された書き込み電位 $V_{pp}$ （＝20V程度）を印加し、これよりビット線側にある非選択メモリセルの制御ゲートおよび選択ゲートには中間電位 $V_{ppM}$ （＝10V程度）を印加し、ビット線にはデータに応じて0V（例えば“1”）または中間電位（例えば“0”）を印加する。このときビット線の電位は非選択メモリセルを転送されて選択メモリセルのドレインまで伝わる。データ“1”

のときは、選択メモリセルの浮遊ゲートとドレイン間に高電界がかかり、ドレインから浮遊ゲートに電子がトンネル注入されてしきい値が正方向に移動する。データ“0”のときはしきい値変化はない。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを0Vとし、p型ウェルおよびn型基板に昇圧された消去電位 $V_{ppe}$ （＝20V）を印加する。これにより全てのメモリセルにおいて浮遊ゲートの電子がウェルに放出され、しきい値が負方向に移動する。

【0005】データ読出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位 $V_{cc}$ （＝5V）として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】このような従来のNANDセル型EEPROMにおいては、ビット線の中間電位への昇圧に時間がかかり、従ってデータ書き込みに時間がかかるという問題があった。これを具体的に図6および図7を用いて説明する。図6は、従来のNANDセル型EEPROMのビット線制御回路部の構成であり、図7はその制御タイミング図である。図7に示すように、時刻 $t_1$ から例えばページモードによるデータ・ロードが行われ、時刻 $t_2$ になってメモリセルが書き込み状態になる。すなわち時刻 $t_2$ になってから、ビット線BLとセンスアンプSA $_i$ 、データラッチ回路LA $_i$ を接続するトランスファゲートQT1、QT2、…、QT $_m$ に制御信号BLD（例えば10V）が入力される。この制御信号BLDの立ち上がり時間TRはおよそ5 $\mu$ secである。制御信号BLDの立ち上がりと同時に、ラッチ回路LA $_i$ 部を通して昇圧回路からの中間電位 $V_{ppM}$ （例えば10V）が必要なビット線に供給される。図7においては、ビット線BL1は0Vのままであり、ビット線BL2が $V_{ppM}$ に立ち上がる例を示している。このときビット線の立ち上がりにかかる時間は、およそ $t_{BLR} = 20 \mu\text{sec}$ である。またこの書き込み時、選択された制御ゲートCG1には昇圧電位 $V_{pp}$ が、非選択の制御ゲートCG2には中間電位 $V_{ppM}$ が与えられる。図7に示すように、データ書き込みに要する正味の時間はおよそ $t_{WN} = 40 \mu\text{sec}$ であるが、その前のビット線充電の時間を考慮に入れると、書き込み時間 $t_W$ は、

$$t_W = t_{BLR} + t_{WN} = 60 [\mu\text{sec}]$$

となる。

【0007】以上の書き込み動作に用いられる中間電位 $V_{ppM}$ は、単一5V電源動作においてはチップ内部の昇圧回路で作られる。しかし一般に内部昇圧回路は電流供給能力が弱く、従ってビット線の中間電位までの昇圧時間を短縮することは難しい。このため、特に高集積化したEEPROMでは、書き込み時間の仕様を満たすことがで

FH 008436

きなくなるおそれがある。

【0008】

【発明が解決しようとする課題】 以上のように従来のNANDセル型EEPROMでは、高速のデータ書込みができないという問題があった。本発明は、上記の点に鑑みなされたもので、高速書込みを可能としたNANDセル型EEPROMを提供することを目的とする。

【発明の構成】

【0009】

【課題を解決するための手段】 本発明によるNANDセル型EEPROMは、データ書込み時にあらかじめ複数のビット線を中間電位に充電するビット線充電手段を備え、予備充電されたビット線を書込むべきデータに応じて選択的に放電することにより、データ書込みを行うようにしたことを特徴とする。

【0010】

【作用】 内部昇圧回路の電流供給能力に限りがあることを考えると、その様な昇圧回路を用いて書込み時にビット線を中間電位に充電するよりも、あらかじめ中間電位に充電されたビット線をデータに応じて選択的に放電することの方が、高速動作化が容易である。従って本発明によれば、高速のデータ書込みができるNANDセル型EEPROMを得ることができる。

【0011】

【実施例】 以下、図面を参照しながら実施例を説明する。

【0012】 図1は、本発明の一実施例に係るNANDセル型EEPROMの全体構成を示すブロック図である。21は、NANDセルをマトリクス配列したメモリセルアレイである。メモリセルアレイ21の周囲には、その出力を検出するビット線センスアンプ22、ワード線を選択するロウアドレスバッファ24およびロウデコード23、ビット線を選択するカラムアドレスバッファ26およびカラムデコード25が配置される。データラッチ回路27は、入出力データを一時記憶するもので、この実施例ではビット線の本数（例えば2048個）の容量を持つ。メモリセルアレイ21から読み出されたデータは、1/Oセンスアンプ28およびデータアウトバッファ29を介してデータ入出力線に取出される。外部からの書込み用データは、データ入出力線からデータインバッファ30を介してデータラッチ回路27に取り込まれるようになっている。メモリセルアレイ21のデータラッチ回路27とは反対側のビット線端部には、データ書込み時にあらかじめビット線を中間電位に予備充電するためのビット線充電回路31が設けられている。

【0013】 図2および図3は、この実施例のNANDセルの具体的な構成を示している。図2の(a)はレイアウト、(b)は等価回路であり、図3の(a)(b)はそれぞれ図2(a)のA-A'、B-B'断面である。

【0014】 この実施例では8個のメモリセルM1～M

8によりNANDセルが構成されている。各メモリセルは、p型シリコン基板（またはウェル）11上に熱酸化により形成された薄いゲート絶縁膜13を介して第1層多結晶シリコン膜による浮遊ゲート14（141～148）が形成され、この上に層間絶縁膜15を介して第2層多結晶シリコン膜による制御ゲート16（161～168）が積層形成されている。浮遊ゲート14が電荷蓄積層である。各メモリセルの制御ゲート16は横方向に配列されるNANDセルについて連続的に制御ゲート線CG（CG1～CG8）として配設され、通常これがワード線となる。メモリセルのソース、ドレイン拡散層であるn型層19は隣接するもの同士で共用されて8個のメモリセルM1～M8が直列接続されている。これら8個のメモリトランジスタのドレイン側、ソース側にはそれぞれ選択ゲートS1、S2が設けられている。これら選択ゲートのゲート絶縁膜は通常メモリセル部とは別にそれより厚く形成されて、その上に2層のゲート電極149、169および1410、1610が形成されている。これらの二層のゲート電極は所定間隔でコンタクトして制御ゲート線CGの方向に連続的に配設されて選択ゲート線SG1、SG2となる。素子形成された基板上はCVD絶縁膜17により覆われ、この上にビット線18が配設されている。ビット線18は、一方の選択ゲートS1のドレイン拡散層にコンタクトしている。他方の選択ゲートS2のソース拡散層は通常共通ソース線として複数のNANDセルに共通に配設される。

【0015】 図4は、ビット線制御回路部の構成を具体的に示したものである。メモリセルアレイ21の各ビット線BLi（i=1～m）の一端は、第1のトランスファゲートQT1iを介してデータラッチ回路(LAi)27およびセンスアンプ(SAi)22に接続され、さらにカラムデコード15の出力信号CSLiにより制御されるトランジスタを介して入出力線1/Oに接続されている。

【0016】 ビット線BLiの他端は、第2のトランスファゲートQT2iを介して中間電位を発生する昇圧回路32の出力線BLCRLに接続されている。この第2のトランスファゲートQT2iと昇圧回路32を含めて、図1のビット線充電回路31を構成している。

【0017】 図5は、この実施例によるEEPROMの書込み動作を示すタイミング図である。メモリセルへのデータ書込みに先立って、時刻t1から、外部データのラッチ回路27への取り込み、所謂データ・ロードが行われる。このデータ・ロードは例えばページ・モードで行われ、図5では一例としてページ長512ビットの場合を示している。このページモードによるデータ・ロードの途中、例えば、254ビット目で、昇圧回路32によりその出力線BLCRLに対して中間電位VppM（～10V）の充電が開始される。同時に制御線BLUにも中間電位が与えられて、第2のトランスファゲートQT2

i の全てがオン状態になって、全てのビット線BLiが中間電位VppMに充電される。この中間電位の充電は、途中まで電源Vccから供給する事が可能である。このビット線の充電は、前述のように電流供給能力に限りのある内部昇圧回路32を用いて行われるため、その時間tBLRは大きい。ページ・データのロードが終了するまでに充電されればよい。たとえば、ページ・サイクル100nsec、ページ長512ビットとすると、データ・ロードの時間は、

$$100 \text{ [n sec]} \times 512 = 51.2 \text{ [\mu sec]}$$

【0018】である。ビット線を中間電位に立ち上げるに要する時間tBLRは20μsec程度であるから、データ書き込みを開始する時刻t2までには十分ビット線を充電することができる。このビット線の予備充電と同時に、各制御ゲート線も同様に中間電位に予備充電する。

【0019】この様にして、データ・ロード中に全てのビット線を中間電位に予備充電しておき、時刻t2でNANDセルへの書き込み状態に入る。すなわちこのタイミングで制御信号BLDを立ち上げて、第1のトランスファゲートQT1iをオン状態とし、データラッチ回路27にラッチされているデータをビット線BLiに転送する。これにより、“0”データ(中間電位)が入るビット線(図5では、BL2)は中間電位に保持され、“1”データ(OV)が入るビット線(図5では、BL1)は、接地されて0Vに放電される。また制御信号BLDの立ち上げと同期して選択された制御ゲート線(図5ではCG1)には昇圧された書き込み電位Vppが与えられる。残りの非選択制御ゲート線(図5ではCG2)は中間電位VppMのまま保持される。これにより、放電されて0Vとなったビット線に沿う選択メモリセルで浮遊ゲートに電子注入が行われる。

【0020】この書き込み動作時のビット線の放電は、内部昇圧回路を用いた充電に比べて十分高速に行うことができる。データ書き込みに要する正味の時間tWNが前述のように20μsecであり、制御信号BLDの立上がりにより要する時間tRが4μsec程度であるから、結局書き込み時間tWは、およそ

$$tW = tR + tWN = 4.5 \text{ [\mu sec]}$$

となる。したがって従来方式に比べて、書き込み時間の大幅な短縮が図られる。データ消去および読出しの動作は従来と同様である。

【0021】なお実施例では、データ書き込み時、メモリセルアレイの全てのビット線を中間電位に充電したが、ブロック単位でそのブロック内の全てのビット線を中間電位に充電するという方式を採用することもできる。その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

#### 【0022】

10 【発明の効果】以上説明したように本発明によれば、データ書き込みに先立ってビット線を中間電位に予備充電しておき、これを選択的に放電させて書き込み動作を行わせることによって、高速書き込みを可能としたNANDセル型EEPROMを提供することができる。

#### 【図面の簡単な説明】

【図1】本発明一実施例に係るEEPROMの全体構成を示すブロック図。

【図2】同実施例のNANDセルを示すレイアウトと等価回路図。

20 【図3】同実施例のNANDセルの断面構造を示す図。

【図4】同実施例のビット線制御回路部の構成を示す図。

【図5】同実施例のデータ書き込み動作を説明するためのタイミング図。

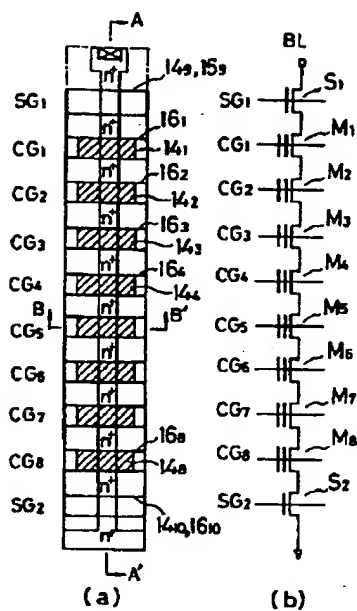
【図6】従来のEEPROMのビット線制御回路部の構成を示す図。

【図7】従来のデータ書き込み動作を説明するためのタイミング図。

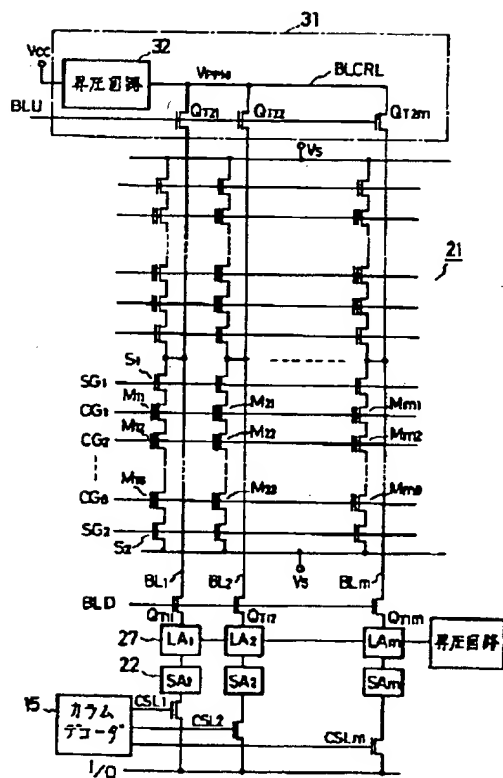
#### 【符号の説明】

30 21…メモリセルアレイ、22…ビット線センスアンプ、23…ロウデコーダ、24…ロウアドレスバッファ、25…カラムデコーダ、26…カラムアドレスバッファ、27…データラッチ回路、28…1/Oセンスアンプ、29…データアウトバッファ、30…データインバッファ、31…ビット線充電回路、32…昇圧回路、BL1～BLn…ビット線、CG1～CG8…制御ゲート線(ワード線)、QT11～QT1n…第1のトランスファゲート、QT21～QT2n…第2のトランスファゲート。

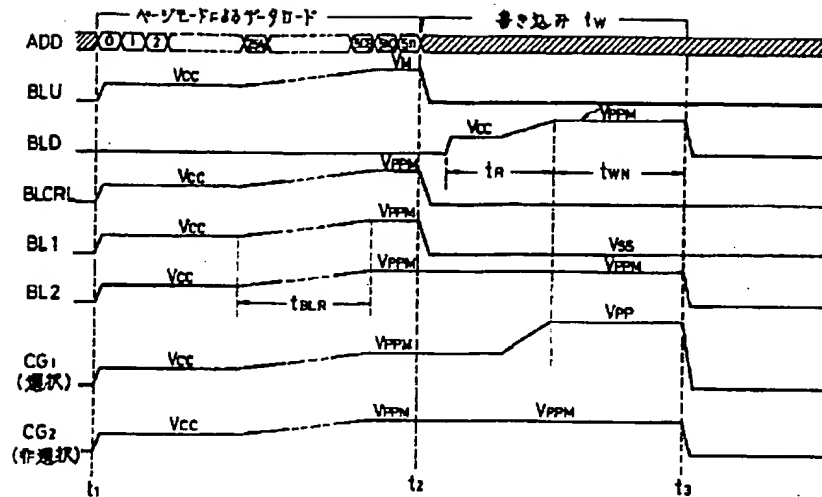
【图 2】



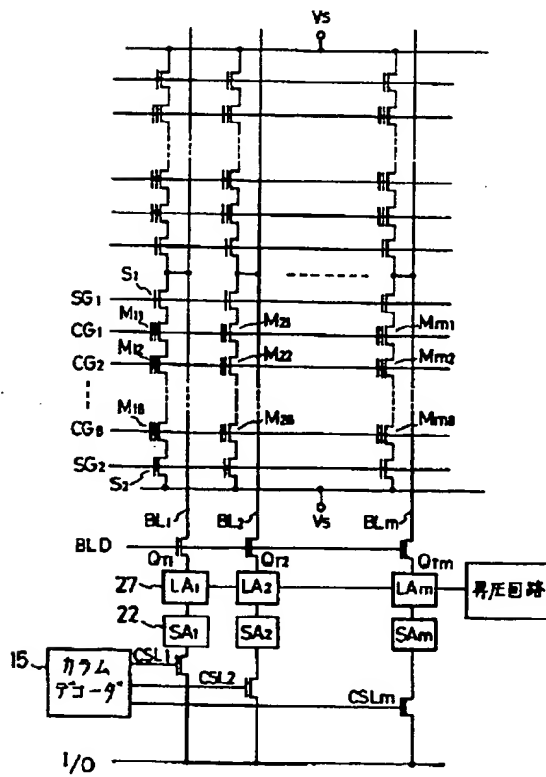
【图4】



【図5】

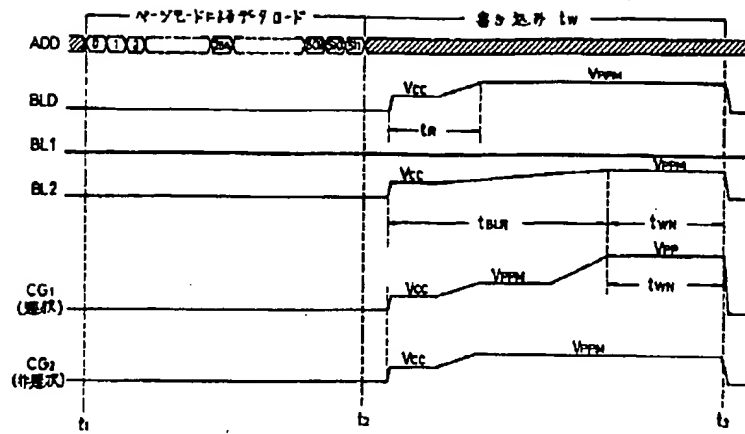


【図6】



FH 008440

【図7】



フロントページの続き

(72)発明者 作井 康司  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内  
(72)発明者 百富 正樹  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

(72)発明者 田中 義幸  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内  
(72)発明者 舩岡 富士雄  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内

FH 008441

JAPAN KOKAI TOKKYO KOHO

H4-254994 (1992)

(19) Japan Patent Office (JP)

(11) Publication No. H4-254994

(12) Published Unexamined Patent Application (A)

(43) Publication Date September 10, 1992

(51) Int. Cl. <sup>5</sup>	Identification Code	In-House Reference No.	FI	Place of Technical Designation
----------------------------	---------------------	------------------------	----	--------------------------------

G 11 C 16/06

9191-5L G 11 C 17/00 309 A

No examination request

Number of claims 2 (Altogether 7 pages)

---

(21) Application No..	H3-15498
(22) Date of Filing	February 6, 1991 (Heisei 3)
(71) Applicant	000003078

**Toshiba Corp.**

72, Horikawa-cho, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

**Yasuo ITO**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuken, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

**Tomoharu TANAKA**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuken, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

**Yasushi SAKUI**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuken, Saiwai-ku

Kawasaki-shi, Kanagawa-ken



(72) Inventor

**Masaki MOMOTOMI**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuke, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

**Yoshiyuki TANAKA**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuke, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

**Fujio MASUOKA**

General Research Institute

Toshiba Corp.

1, Toshiba-cho, Obuke, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(74) Agent

**Takehiko SUZUE**, Attorney

---

(54) [Title of the Invention]

NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57) [Abstract]

[Purpose]

To aim at providing an NAND cell type EEPROM which enables a high-speed data writing.

[Construction]

High-speed data writing was attained by providing a bit line charging means 31 for charging plural bit lines to an intermediate voltage, before the time of data writing and selectively discharging the pre-charged bit lines according to data to be written.

(Figure, pl, lower right)

15 . column decoder  
32 booster circuit  
booster circuit (lower right of figure)

[Claims]

[Claim 1]

A nonvolatile semiconductor storage device, characterized by a memory cell array in which a plural number of electrically writeable memory cells are provided by laminating a charge storage layer and control gates on a semiconductor substrate, are connected in series to form a NAND cell and arranged into a matrix, wherein a row selecting means for selecting word lines of the memory cell array, a column selecting means for selecting the bit lines of the memory cell array, a data latching means for connecting the bit lines of the memory cell array via a first transfer gate and keeping a function of selectively discharging the word line recording data at the time of data writing, and a bit line charging means for connecting the bit lines of the memory cell array via a second transfer gate and charging plural bit lines before the time of data writing.

[Claim 2]

The nonvolatile semiconductor storage device described in Claim 1, characterized by the bit line charging means, charges the bit lines to an intermediate voltage in a data load before writing the data into the memory cell array.

[Problems Overcome by the Invention]

[0001]

[Field of Industrial Applications]

This invention relates to a nonvolatile semiconductor storage device in which electrically write-able memory cells having a charge storage layer and control gates are used (EEPROM), and particularly to EEPROM having a memory cell array of NAND cell construction.

[0002]

[Prior Art]

A NAND cell type EEPROM with plural memory cells connected in series has been known as a highly integrate-able one in EEPROM. One memory cell has a FETMOS structure where floating gates and control gates are laminated on a semiconductor substrate via an insulating film, and plural memory cells are connected in series in the form of sharing their source and drain by adjoining them to each other to construct a NAND cell. The drain of the NAND cell on one end side is connected to bit lines via select gates, and the source on the other end side is connected to a common source line still via the select gate. A plurality of such memory cells are arranged into a matrix to construct an EEPROM. The control gates of the memory cells are continuously arranged in the row direction to become word lines.

[0003]

Actuation of this NAND cell type EEPROM is as follows. The data writing is performed in an order from a memory cell remote from the bit lines. If a case of  $n$  channels is illustrated, a boosted writing voltage  $V_{pp}$  (= about 20 V) is applied to the control gate of a selected memory cell, thereby an intermediate voltage  $V_{ppM}$  (= about 10 V) is applied to the control gate and the select gate of a non-selected memory cell on the bit line side, and 0 V (e.g.,

"1") or an intermediate voltage (e.g., "0") is applied to the bit line according to data. At this time, the voltage of the bit line transfers a non-selected memory cell and carries it to the drain of a selected memory cell. At the time of data "1", a high electric field is imposed between the floating gates and the drain of a memory cell, and electrons are tunnel injected from the drain to the floating gates to move the threshold value in the positive direction. At the time of data "0", the threshold value does not change.

[0004]

The data erasure is performed simultaneously for all memory cells in an NAND cell. Namely, all control gates and select gates are taken as 0 V, and a boosted erasure voltage  $V_{ppe}$  (= 20 V) is applied to a p-type well or an n-type substrate. Thereby, electrons of the floating gates are emitted to a well in all the memory cells, and the threshold value moves in the negative direction.

[0005]

The data reading is performed by taking the control gates of selected memory cells as 0 V and the control gates and the select gates of other memory cells as power voltage  $V_{cc}$  (= 5 V) and detecting whether a current flows in the selected memory cells.

[0006]

In such a conventional NAND cell type EEPROM, there was such a problem that time is taken to boost the bit lines to an intermediate voltage and therefore time is taken for data writing. It is specifically illustrated by Fig. 6 and Fig. 7. Fig. 6 is the construction of the bit line control circuit unit of the conventional NAND cell type EEPROM, and Fig. 7 is its control timing chart. As shown in Fig. 7, the data loading, e.g., based on a page mode is performed from a time  $t_1$ , and the memory cells become a writable state at a time  $t_2$ . Namely, a control signal BLD (e.g., 10 V) is input into transfer gates  $QT_1$ ,  $QT_2$ , ...,  $QT_m$  connecting bit lines BL, sense amplifiers  $SA_i$  and data latch circuits  $LA_i$  since it becomes time  $t_2$ . The rise time  $T_R$  of this control signal BLD is about 5  $\mu$ sec. Simultaneously with the rise of the control signal BLD, an intermediate voltage  $V_{ppm}$  (e.g., 10 V) from a booster circuit is supplied to the necessary bit lines via the latch circuit  $LA_i$ . An example in which a bit line  $BL_1$  is 0 V as it is and a bit line  $BL_2$  rises to  $V_{ppm}$  is shown in Fig. 7. At

this occasion, the time taken for the rise of the bit line is about  $t_{BLR} = 20 \mu\text{sec}$ . At the time of this writing, a boosting voltage  $V_{pp}$  is given to a selected control gate  $CG_1$  and an intermediate voltage  $V_{ppM}$  is given to a non-selected control gate  $CG_2$ . As shown in Fig. 7, the net time taken for the data writing is about  $t_{WN} = 40 \mu\text{sec}$ , if a time for charging the bit lines before the writing is taken into consideration, the writing time  $t_w$  becomes

$$t_w = t_{BLR} + t_{WN} = 60 [\mu\text{sec}]$$

[0007]

The intermediate voltage  $V_{ppM}$  used in the above writing actuations is made by an internal booster circuit of the chip in an actuation of a single 5 V power source. However, the current supply ability of the internal booster circuit is generally weak, accordingly it is difficult to shorten the boosting time of bit lines to an intermediate voltage. Therefore, it is concluded that a specification of the writing time cannot be satisfied in a particularly high integrated EEPROM.

[0008]

As described above, there was a problem where high-speed data writing cannot be made in a conventional NAND cell type EEPROM. This invention was made in view of the above points and is aimed at providing an NAND cell type EEPROM which enables a high-speed data writing.

[0009]

[Problem Resolution Means]

The NAND cell type EEPROM based on this invention is characterized by providing a bit line charging means for charging plural bit lines to an intermediate voltage before the time of data writing and selectively discharging the precharged bit lines according to data to be written.

[0010]

[Efficacy of the Invention]

Considering that the current supply ability of an internal booster circuit is limited, the selective discharging of bit lines charged

to an intermediate voltage beforehand is easier than the charging of bit lines to an intermediate voltage to actuate at a high speed in the writing using such a booster circuit. Accordingly, this invention enables a NAND cell type EEPROM which enables a high-speed data writing.

[0011]

[Embodiment]

An embodiment of the invention is illustrated in the drawings below.

[0012]

Fig. 1 is a block diagram showing the whole construction of a NAND cell type EEPROM relating to one embodiment of this invention. Symbol 21 is a memory cell array in which the NAND cells are arrayed into a matrix. Sense amplifiers 22 for detecting the output thereof, a row address buffer 24, a row decoder 23 for selecting word lines, a column address buffer 26 and a column decoder 25 are arranged around the memory cell array 21. A data latch circuit 27 temporarily stores input/output data and has a capacity of the number of bit lines (e.g., 2048 lines) in this embodiment. Data read from the memory cell array 21 is obtained to data input/output lines via an I/O sense amplifier 28 and a data out buffer 29. Data for writing externally taken from the data input/output lines to the data latch circuit 27 via a data-in buffer 30. A bit line charging circuit 31 for pre-charging the bit lines to an intermediate voltage before the time of data writing is arranged at the bit line end opposite to the data latch circuit 27 of the memory cell array 21.

[0013]

Fig. 2 and Fig. 3 show a specific construction of a NAND cell of this embodiment. Fig. 2(a) is a layout, (b) is an equivalent circuit, and Fig. 3(a) (b) are A-A', B-B' cross-sections of Fig. 2(a), respectively.

[0014]

A NAND cell is formed by 8 memory cells  $M_1 - M_8$  in this embodiment. In the memory cells, the floating gates 14 ( $14_1 - 14_8$ ) based on a first polycrystalline silicon film are formed on a p-type silicon substrate (or a well) 11 via a thin gate insulating film 13 formed

by thermal oxidation, and the control gates 16 ( $16_1 - 16_8$ ) based on a second polycrystalline silicon film is formed thereon by lamination via an interlayer insulating film 15. The floating gates 14 are a charge storage layer. The control gates 16 of the memory cells are continuously arranged as control gate lines CG ( $CG_1 - CG_8$ ) of the NAND cells arrayed transversely, and they are commonly taken as word lines. An n-type layer 19 being a source/drain diffusion layer of the memory cells are shared by the ones adjacent to each other to connect 8 memory cells  $M_1 - M_8$  in series. Select gates  $S_1, S_2$  are arranged on the drain side and the source side of these 8 memory transistors, respectively. A gate insulating film of these select gates is formed more thickly apart from a common memory cell unit, and two layers of gate electrodes  $14_9, 16_9$  and  $14_{10}, 16_{10}$  are formed thereon. These two layers of gate electrodes are contacted at a predetermined spacing and continuously arranged in the direction of the control gate lines to become select gate lines  $SG_1, SG_2$ . They are covered by a CVD insulating film 17 on an element-formed substrate, and bit lines 18 are arranged thereon. The bit lines 18 contact with the drain diffusion layer of one select gate  $S_1$ . The source diffusion layer of the other select gate  $S_2$  is usually arranged in common with plural NAND cells as a common source line.

[0015]

Fig. 4 specifically shows the construction of a bit line control circuit unit. One end of each bit line  $BL_i$  ( $i = 1 - m$ ) of the memory cell array 21 is connected to a data latch circuit ( $LA_i$ ) 27 and a sense amplifier ( $SA_i$ ) 22 via a first transfer gate  $QT1_i$ , and is further connected to an input/output line I/O via a transistor controlled by an output signal  $CSL_i$  of a column decoder.

[0016]

The other end of the bit line  $BL_i$  is connected to an output line BLCRL of a booster circuit 32 for generating an intermediate voltage via a second transfer gate  $QT2_i$ . The second transfer gate  $QT2_i$  and booster circuit 32 are included to form a bit line charging circuit 31 of Fig. 1.

[0017]

Fig. 5 is a timing chart showing the writing actuations of the EEPROM based on this invention. Before writing the data into the memory cells, the incorporation of external data into the data latch circuit 27, i. e., a so-called data load is performed from a

time  $t_1$ . This data load is performed, e.g., by a page mode, and a case of page length 512 bits is shown as an example in Fig. 5. Regarding the data load based on this page mode, for example, the charging of an intermediate voltage  $V_{ppm}$  ( $\sim 10$  V) for the output line BLCRL is started by the booster circuit 32 at the 254th bit. The intermediate voltage is also given to a control line BLU simultaneously, all the transfer gates  $QTL_i$  are in the ON state and all the bit lines  $BL_i$  are charged to the intermediate voltage  $V_{ppm}$ . The charging of this intermediate voltage can be supplied from a power supply  $V_{cc}$  to the half way. Because the charging of these bit lines is carried out by an internal booster circuit 32 with a limited current supply ability as described above, its time  $t_{BLR}$  is large, but the bit lines had better be charged until the data load finishes. For example, if the page cycle is taken as 100 nsec and the page length is taken as 512 bits, the time of data load is

$$100 \text{ [nsec]} \times 512 = 51.2 \text{ [\musec]}$$

[0018]

Since the time  $t_{BLR}$  taken for raising the bit lines to the intermediate voltage is about 20  $\mu$ sec, the bit lines can be fully charged till a time  $t_2$  at which the data writing starts. Simultaneously with the pre-charging of these bit lines, the control gate lines are also similarly pre-charged to the intermediate voltage.

[0019]

In this way, all the bit lines are pre-charged in the data load and come into a state for writing into a NADA cells at the time  $t_2$ . Namely, the control signal BLD is raised by this timing, the first transfer gate  $QTL_1$  is in the ON state, and data latched in the data latch circuit 27 are transferred to the bit lines  $BL_i$ . Thereby, a bit line with "0" data (intermediate voltage) ( $BL_2$  in Fig. 5) is kept to the intermediate voltage, and a bit line with "1" data (0 V) ( $BL_1$  in Fig. 5) is grounded and discharged to 0 V. A boosted writing voltage  $V_{pp}$  is give to a control gate line ( $CG_1$  in Fig. 5) selected in synchronism with the rising of the control signal BLD. A remaining non-selected control gate line ( $CG_2$  in Fig. 5) is kept to the intermediate voltage as it is. Thereby, an electron injection into the float gates is carried out by the selected memory cells along the bit lines which are made to 0 V by discharging.



[0020]

The discharging of the bit lines in this writing actuations can be carried out at a very high speed as compared to the charging with the internal booster circuit. Since the net time  $t_{WN}$  taken for the data writing is 20  $\mu\text{sec}$  as described above and the time  $t_R$  taken for the rising of the control signal is about 4  $\mu\text{sec}$ , the writing time  $t_W$  finally becomes

$$t_W = t_R + t_{WN} = 45 \text{ } [\mu\text{sec}]$$

Therefore, a sharp shortening is attained as compared to the conventional mode.

[0021]

In the embodiment, all the bit lines of the memory cell array are charged to an intermediate voltage at the time of data writing, but a mode wherein all the bit lines of a block unit are charged to an intermediate voltage in the block unit can also be adopted. Besides, this invention can be embodied by various modifications in a range where the purpose of the invention is not deviated from.

[0022]

[Efficacy of the Invention]

As described above, this invention provides an NAND cell type EEPROM with high-speed data writing by pre-charging the bit lines to an intermediate voltage before data writing and selectively discharging them to perform the writing actuations.

[Brief Description of the Drawings]

[Fig. 1]

A block diagram showing the whole construction of the EEPROM relating to one embodiment of this invention.

[Fig. 2]

A layout and equivalent circuit diagram showing the NAND cells of the same embodiment.

[Fig. 3]

A drawing showing the cross-sectional structure of the NAND cells of the same embodiment.

[Fig. 4]

A diagram showing the construction of the bit line control circuit unit of the same embodiment.

[Fig. 5]

A timing chart for illustrating the data writing actuations of the same embodiment.

[Fig. 6]

A diagram showing the construction of the bit line control circuit unit of a conventional EEPROM.

[Fig. 7]

A timing chart for illustrating the conventional data writing actuations.

[Description of the Symbols]

21	memory cell array
22	bit line sense amplifier
23	row decoder
24	row address buffer
25	column decoder
26	column address buffer
27	data latch circuit
28	I/O sense amplifier
29	data out buffer
30	data in buffer
31	bit line charging circuit
32	booster circuit
BL <sub>1</sub> - BL <sub>M</sub>	bit lines
CG <sub>1</sub> - CG <sub>8</sub>	control gate lines (word lines)
QT1 <sub>1</sub> - QT1 <sub>m</sub>	first transfer gates
QT2 <sub>1</sub> - QT2 <sub>m</sub>	second transfer gates

[Fig. 1]

21	EEPROM memory cells
22	sense amplifier (2048)
23	row decoder
24	row address buffer
25	column decoder (CSL)
26	column address buffer
27	latch circuit (2048)
28	I/O sense amplifier
29	data out buffer
30	data in buffer
31	bit line charging circuit

[Fig. 2]

[Fig. 3]

[Fig. 4]

15	column decoder
32	booster circuit
	booster circuit (lower right of figure)

[Fig. 5]

(top) Data load based on page mode      Writing t<sub>w</sub>  
 (left) CG<sub>1</sub> (selected)      CG<sub>2</sub> (non-selected)

[Fig. 6]

15

column decoder  
booster circuit (lower right of figure)

[Fig. 7]

(top) Data load based on page mode      Writing  $t_w$   
(left)     $CG_1$  (selected)       $CG_2$  (non-selected)